

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181685

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

H04L 7/00
H04L 7/033
H04Q 11/04

(21)Application number : 06-319566

(71)Applicant : FUJITSU LTD
NIPPON TELEGR & TELEPH CORP <NTT>
NEC CORP

(22)Date of filing : 22.12.1994

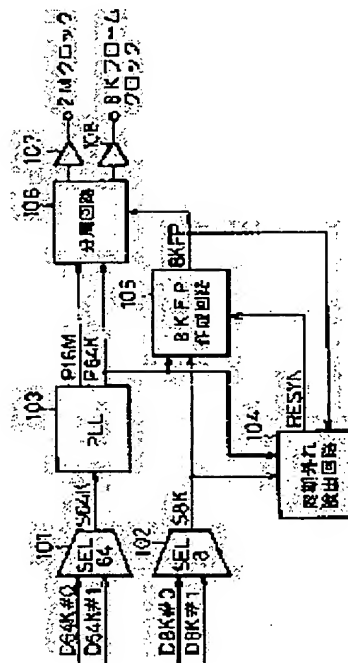
(72)Inventor : AWAJI TOSHIO
MASUOKA HIROYUKI
AKATA MASAO

(54) SYNCHRONIZING CLOCK CIRCUIT

(57)Abstract:

PURPOSE: To allow the circuit to transit to a new phase while preventing instantaneous disturbance in the case of switching of an input clock signal by providing a detecting circuit for pulling out of synchronism providing a re-synchronizing signal to a frame signal generating circuit on the occurrence of out of phase synchronism.

CONSTITUTION: A PLL circuit 103 provides a phase clock signal P64K synchronously with a 0 or 1 system reference 64kHz clock signal S64K given by a selection circuit 101 in addition to a prescribed clock frequency signal P16M. An 8KFP generating circuit 105 frequency-divides the signal P64K to generate a 8kHz frame pulse signal 8KFP. A detecting circuit 104 for pulling out of synchronism uses the signal 8KFP, a reference 8kHz clock signal S8K given from a selection circuit 102 to make phase comparison by using the signal P64K given from the PLL circuit 103 to detect pulling out of synchronism. Then a frequency divider circuit 106 frequency-divides a 16MHz clock signal P16M given from the circuit 103 to generate a 2MHz clock signal 2M.



LEGAL STATUS

[Date of request for examination] 29.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3288192

[Date of registration] 15.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3288192号

(P3288192)

(45)発行日 平成14年6月4日(2002.6.4)

(24)登録日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷ 識別記号
H 0 4 L 7/00
7/033
H 0 4 Q 11/04 3 0 4

F I
H 0 4 L 7/00 H
H 0 4 Q 11/04 3 0 4 Z
H 0 4 L 7/02 B

請求項の数5(全 20 頁)

(21)出願番号 特願平6-319566

(22)出願日 平成6年12月22日(1994.12.22)

(65)公開番号 特開平8-181685

(43)公開日 平成8年7月12日(1996.7.12)

審査請求日 平成12年6月29日(2000.6.29)

(73)特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(73)特許権者 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 淡路 俊夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 100077517

弁理士 石田 敬 (外3名)

審査官 阿部 弘

最終頁に続く

(54)【発明の名称】 同期クロック回路

(57)【特許請求の範囲】

【請求項1】 2系統の基準フレーム信号及びその整数倍の周波数からなる基準クロック信号が与えられ、そのうちの1系統の基準フレーム信号及び基準クロック信号を選択して出力する選択回路、
前記選択回路で選択された基準クロック信号に同期する所定周波数の自走クロック信号を出力するPLL回路、
前記自走クロック信号を分周して前記選択回路で選択された基準フレーム信号と同一周期の自走フレーム信号を作成し、また再同期信号が与えられると前記選択された基準フレーム信号と同一位相で前記自走フレーム信号の動作を開始させるフレーム信号作成回路、そして前記選択回路で選択された基準フレーム信号と前記フレーム信号作成回路で作成された自走フレーム信号との位相比較により所定の位相誤差範囲を超える同期はずれを検出す

ると前記再同期信号を出力する同期はずれ検出回路、から構成することを特徴とする同期クロック回路。

【請求項2】 さらに、前記PLL回路からの所定周波数の自走クロック信号を分周して所望のクロック信号を出力し、そして前記フレーム信号作成回路からの自走フレーム信号から前記所望のクロック信号に適合する所望のフレーム信号を作成して出力する分周回路を有する請求項1記載の同期クロック回路。

【請求項3】 前記選択回路は、前記2系統の基準フレーム信号及び基準クロック信号のうち、異常が発生した以外の系統の基準フレーム信号及び基準クロック信号を選択する請求項1記載の同期クロック回路。

【請求項4】 前記フレーム信号作成回路は、前記選択された基準フレーム信号の変化点を前記選択された基準クロック信号を用いて微分検出する微分回路、

前記微分回路からの微分出力の通過を前記再同期信号によって制御するゲート回路、

前記基準クロック信号をカウントし、初期値からのカウントにより前記基準フレーム信号周期で前記自走フレーム信号を出力するカウンタ回路、そして前記ゲート回路を通過した微分出力と前記カウンタ回路からの自走フレーム信号との論理和信号を、前記カウンタ回路の初期値を再設定するロード信号として前記カウンタ回路に与える論理ゲート回路から成る請求項1記載の同期クロック回路。

【請求項5】 前記同期はずれ検出回路は、前記選択された基準フレーム信号の変化点を前記選択された基準クロック信号を用いて微分検出する微分回路、前記微分回路からの微分出力と前記フレーム作成回路からの自走フレーム信号との一致を検出する一致検出回路、前記一致検出回路によって一致が検出された場合には、前記基準クロック信号のカウントをクリアし、不一致の場合にはカウントを開始して所定数カウントした時に前記再同期信号を出力するカウンタ回路から成る請求項1又は4記載の同期クロック回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル通信システムを構成するデジタル交換機やデジタル伝送装置に関し、特に同期デジタル通信網から与えられる網同期クロック信号に同期したシステム内のクロック信号を作成し、それを配分するためのデジタル交換機やデジタル伝送装置における同期クロック回路に関するものである。

【0002】

【従来の技術】 図20は、同期デジタル通信網の基本的な構成を示したものである。図20において、デジタル伝送装置1、3やデジタル交換装置2からなる同期デジタル通信網は、ルビジュウムやセシウム等の原子発振器5からのクロック基準信号を元に網同期装置(DCS)4から分配される同期クロックに同期して動作する。

【0003】 図21は、図20のデジタル交換装置2のシステム構成の一例を示している。図21において、デジタル交換装置2は伝送端局1、3と接続する多重/分配部(MUX/DMUX)11、16、時間スイッチ(TSW)13、15及びハイウェイスイッチ(HSW)14からなる時分割多重スイッチ及び交換制御のための各種信号装置(SIG)12、17から構成される。これらの各内部装置は、互いに2M又は32Mハイウェイ(HW)によって結ばれ、システム内の統一された同期クロック信号に同期して動作する。

【0004】 前記システム内の同期クロックは高精度であること、さらにデジタル交換装置2と伝送装置1、

3との間を同期インタフェースによって結ぶことから、交換装置内のクロック分配装置(CDIS)18は、図1で示した原子発振器5をクロック源とする網内共通の網同期装置4から同期クロック信号を受信し、それに同期した装置内クロック信号を作成して上述した各内部装置にその信号を分配する。

【0005】 図22は、図21で示した各装置間を結ぶハイウェイ(HW)の基本的な伝送フォーマットを示したものである。図22に示すように、各ハイウェイは125 μ s周期のフレームを繰り返しの基本単位として、8KHzのフレームパルス信号に同期して動作する。前記各フレーム内は8ビットからなる複数のタイムスロット(TS)に区切られており、従って2Mハイウェイの場合には、1フレーム当たり32タイムスロット(TS#0~TS#31)が存在し、また32Mハイウェイの場合には、1フレーム当たり512タイムスロット(TS#0~TS#511)存在することになる。いずれの場合にも、1タイムスロット当たり伝送速度64Kb/s(=8KHz \times 8ビット)の音声若しくはデータ信号を運ぶことができる。なお、図22に示すように2つの装置A-B間でハイウェイ情報を送受信するには、送信側から8KHz周期のフレームパルス信号、データ信号そしてクロック信号の3つの信号を送出する必要がある。

【0006】 図23は、図22の受信装置B側におけるハイウェイ情報の受信回路例を示している。図23において、一般に受信情報は、一旦バッファ19を介して受信信号の時間的な変動を吸収するエラスティックメモリ20に書き込まれ(WCK, WFK)格納され、そして内部のフレーム信号(RFP)及び、クロック信号(RCK)に同期して装置内部回路21へ読みだされる。エラスティックメモリ20は、FIFOメモリとして機能するが、実際には通常のメモリに対してサイクリックに書き込み、そして一定の遅延をもってそれを読み出すことで実現している。このように、エラスティックメモリ20を使用した場合、装置A-B間である程度非同期的な関係が許容されるが、全くの非同期的場合にはエラスティックメモリの容量がフレーム1周期分必要となって経済的な装置構成は困難である。

【0007】 図24は、システム内各装置にハイウェイの基準となるフレームパルス信号の位相を実際に割り当てる状況を示している。図24を先に説明した図21と対応づけるならば、装置A及び装置Cはそれぞれ時間スイッチ(TSW)13、15、そして装置Bはハイウェイスイッチ(HSW)14にそれぞれ対応する。図24に示すように、ハイウェイ情報が装置A \rightarrow B \rightarrow Cと流れる場合、装置Aの位相を最も早く、次に装置B、装置Cの順に位相を割り当てる。このようにすることにより、各装置のエラスティックメモリ容量の最適化が図れる。

【0008】 図25は、同期網におけるデジタル交換

装置のクロック供給系統例を示したものである。図25において、網同期装置(DCS)4からは64KHzと8KHzのクロック信号が供給され、それを受けてシステム内のクロック分配装置(CDIS)18からは各装置(例えば図24の装置A, B, C)へ8KHzフレーム信号及び2MHzクロック信号を供給している。前記各装置は、それぞれの装置に必要な信号(8KHzフレームパルス信号、32MHz/156MHzクロック信号)をクロック生成部(PG)23において作成しその装置内の内部回路24へ分配する。

【0009】図26は、図25で示したクロック供給系統の冗長構成の一例を示したものである。図26において、網同期装置4は、正常動作時に使用される網同期装置(N系; Normal)と異常発生時に切り換わる網同期装置(E系; Emergency)の二重構成を有し、同様にクロック分配装置18及びクロック生成部23も0系と1系の2系統で構成される。

【0010】次に、本発明と関連する従来技術の状況について詳細に説明する。図27は、従来技術によるクロック分配装置(CDIS)の一構成例を示したものである。図28は、図27のクロック分配装置の入出力タイミング図である。図27において、クロック分配装置18は、二重化された網同期装置4の両系(DCS-N, DCS-E)に接続されて、その両系からそれぞれ64KHzと8KHzの基準クロック信号を受信する。図28の(1)には、網同期装置4から与えられる64KHz+8KHzの複合バイポーラ(AMI)信号の基準クロック信号が描かれており、8KHzのフレーム信号は64KHzのAMI信号のバイオレーション信号として与えられる。前記基準信号はバイポーラユニポーラ変換回路(B→U)25、26において64KHzと8KHzの信号にそれぞれ分離される(図28の(2))。

【0011】クロック分配装置18は、通常選択回路27によってDCS-N系のクロック信号を選択して使用する。装置内の異常検出回路28は、前記DCS-N系クロック信号に異常を発見した場合には、前記選択回路27を制御してDCS-E系のクロック信号に切替える。選択されたクロック信号の内、64KHzクロック信号は次段のPLL回路30へ入力され、そこで32MHzもしくは16MHz等の所定のクロック信号に逡倍されて出力される。

【0012】分周回路29は、前記32MHzもしくは16MHz等のクロック信号を分周して図27の例では8MHzのクロック信号をその8KHzフレームパルス信号とともに出力する(図28の(3))。なお、前記PLL回路30の出力クロック信号とそれと比較される入力クロック信号との間の位相誤差を考慮すると、PLL回路30の出力は比較的高い周波数が望ましく、そのため分周回路29はそこから装置内で必要な所定の出力クロック信号を作成する。

【0013】図29は、図27のクロック分配装置における分周回路部分のより詳細な回路例を示している。図30は、図29のクロック分配装置における主要な信号のタイムチャートである。図29において、8MHzクロック信号(8M)と8KHzフレームパルス信号(8KFP)は、それぞれ入力の基準クロックに同期する必要がある。ただし、ある程度のずれをもって位相固定するのが通常であり、これを定常位相誤差という。PLL回路30からは、入力の64KHzクロック信号(S64K)に同期した16MHz(正確には16.384MHz)のクロック信号(P16M)が出力され、その信号はカウンタ回路31で分周されて、そのQO端子からは8MHzクロック信号(C8M)(正確には8.192MHz)が出力され、Q10出力端子からは8KHzクロック信号(C8K)が出力される(図30の(1)、(2)、(3)及び(9))。

【0014】ここで、前記カウンタ回路31からの8KHzクロック信号(C8K)を基準となる8KHz入力クロック信号(S8K)に同期させるため、前記カウンタ回路31からの16MHzクロック信号(C16M)をクロック入力とし、2個のDタイプフリップフロップ回路(FF-A, FF-B)32, 33及びANDゲート回路(Ga)34からなる微分回路を用いて8KHz基準クロック信号(S8K)の微分パルスを発生させ、それをカウンタ回路31のロード端子に入力することにより、初期カウンタ値を所定値(本例では初期値2)に初期設定している(図30の(2)、(5)～(8))。

【0015】なお、上記初期設定によれば、図30の(5)と(9)に示すようにカウンタ回路31からの8KHzクロック信号(C8K)は、8KHz基準クロック信号(S8K)に対して16MHzクロック信号(C16M)の1クロック分だけ変化点がずれた状態となる。上述したのと同様な回路構成を有する図29の下段の微分回路36, 37, 38及び39は、初期設定後の8KHzクロック信号(C8K)を8MHzクロック信号(C8M)を使って微分して、その1クロック幅の8KHzフレームパルス信号(8KFP)を作成する(図30の(9)～(13))。この時点で、8KHzフレームパルス信号(8KFP)の位相は、前記8KHz基準クロック信号(S8K)の位相と同期する(図30の(5)、(13))。ただし、そのらは16MHzクロック信号(C16M)の1/2周期の位相誤差範囲内で互いに同期することになる。

【0016】図31は、図27においてバイポーラユニポーラ変換回路(B→U)25, 26における8KHzクロック信号(D8K)及び64KHzクロック信号(D64K)が一時的に停止(瞬断)した場合のPLL回路30及び分周回路29の動作の一例を示している。図31の(1)及び(2)に示すように、8KHzクロ

ック信号 (D 8 M) 及び 64 KHz クロック信号 (D 6 4 K) が一時的に停止 (瞬断) した場合でも、PLL 回路 30 の自走機能および分周回路 29 のサイクリックな無限カウント機能によりカウンタ回路 31 からの 8 MHz クロック信号 (8 M クロック) 及び 8 KHz フレームパルス信号 (8 K F P) の各出力信号は維持される。

【0017】

【発明が解決しようとする課題】図 32 は、図 27 に示すクロック分配装置 18 に基準クロック信号を与える網同期装置 4 の DCS-N 系と DCS-E 系間のクロック位相の誤差の例を示したものである。図 32 に示すように、一般に前記位相誤差は DCS-N 系と DCS-E 系の各網同期装置 4 とクロック分配装置 18 との間を接続するケーブル長遅延 (6 ns/m) の相違や各装置間の動作遅延ばらつき等を含めて数 ns ～ 数 100 ns 程度の定常位相誤差を有しているものと考えられる。

【0018】図 33 は、網同期装置からの入力信号を DCS-N 系入力から DCS-E 系入力に切替えた場合の図 27 に示す選択回路 27 の出力のクロック信号を示したものである。図 33 に示すように、図 32 で説明した定常位相誤差等と関連して入力信号を DCS-N 系入力から DCS-E 系入力に切替えた瞬間には選択回路 27 からの出力クロック信号に位相跳躍が発生する。すなわち、選択回路 27 は、図 33 の (1) 及び (2) に点線で示す 0 系入力クロック信号 (D 6 4 K 0、D 8 K 0) の瞬断等により、それを検出した異常検出回路 28 (図 27 参照) からの切替え信号 (SEL) によって、1 系入力クロック信号 (D 6 4 K 1、D 8 K 1) (図 33 の (3)、(4)) を選択して出力する。この場合には、図 33 の (6) 及び (7) に示すように、選択回路 27 の出力クロック信号 (S 6 4 K、S 8 K) には前記切替えの前後で 0 系と 1 系の間の位相跳躍が発生する。

【0019】図 34 は、図 27 の PLL 回路 30 の基本的な回路構成を示したものであり、図 35 は、その PLL 回路 30 が上記の位相跳躍に対して、すなわち入力基準クロックを切替えた場合に如何にして新しい切替え後の位相に追従していくかを示したものである。図 34 は PLL 回路の一般的な構成を示しており、従ってここではそれについて詳しく説明することはせず、図 35 に示す位相跳躍に対する動作との関連において説明する。

【0020】図 35 に示すように、選択回路 27 が網同期装置 4 からの入力信号を DCS-N 系入力から DCS-E 系入力に切替えて、その出力クロック信号に位相跳躍が発生した場合には、PLL 回路 30 の位相比較回路 42 で前記切替え後の出力信号 (S 6 4 K) とその時点では今だ切替え前の信号状態にある VCXO 44 からの 16 MHz 発振出力信号 (fc) を分周器 46 によって 64 KHz 信号に下げた信号 (P 6 4 K) との間の位相差を検出して位相差分信号 (ve) を発生する。低域フィルタ 43 は、前記位相差分信号のうち外来雑音的な高

域のジッタ成分を除去し、入力位相跳躍による変化電圧 (vf) を次段の VCXO 44 へ与える。VCXO 44 は、前記変化電圧に相当する分の発振周波数 (fc) を変化させる。

【0021】図 35 は、上述した VCXO 44 からの発振周波数の変化の過程の一例を示したものであり、前記入力信号の切替え時点の位相跳躍に追従すべく発振周波数 (fc) を上げては位相を進ませ、次にその行き過ぎを補償するために発振周波数を下げて位相を遅らせるという動作を繰り返し、最後に位相比較回路 42 で両者の位相が合致するところに収束する。その結果、PLL 回路 30 は E 系の新しい入力信号 (D 6 4 K 1) の位相に追従したことになる。このように切替え前後で位相の位置は異なるが、発振周波数自体は 64 KHz で変化しない。

【0022】図 36 ～ 図 38 は、それぞれ網同期装置からの入力切替え時における図 29 のクロック分配装置への影響について示したものである。図 36 は、網同期装置からの入力を切替えた直後の状況を示すものである

(図 36 の (1) ～ (3) の左側部分)。図 36 において、図 29 の分周回路 29 は、選択回路 27 からの 8 KHz クロック信号 (S 8 K) によってロードされる。この時、もし切替え前と切替え後の 8 KHz クロック信号の間で、16 MHz クロック信号 (P 16 M) の 3 クロック分 (183 ns) の遅れによる位相変動が生じたとすると (図 36 の (6) と (7))、8 KHz フレームパルス信号出力 (8 K F P) は前記切替え後の 8 KHz クロック信号 (新 S 8 K) に直ちに同期するが (図 36 の (7) と (9))、分周回路 29 のカウンタ回路 31 の動作は 3 クロック分カウントが遅れることになり (図 36 の (4))、切替え時の瞬間の次の 8 K フレームにおいて、図 36 の (8) に示すように以下の異常が発生する。

【0023】(a) 1 フレーム中の 8 MHz クロック信号 (8 M) が上記 16 MHz クロック信号 (P 16 M) の 3 クロック分の遅れに相当する 1.5 クロック分だけ通常のクロック数より増加する。

(b) 切替え後の 8 KHz クロック信号 (新 S 8 K) が 16 MHz クロック信号 (P 16 M) の奇数クロック分 (上記例では 3 クロック分) だけ遅れた場合には、8 M クロック信号 (8 M) の位相が逆転する。

これらの異常により、従来においては網同期装置からの入力の切替え直後にハイウェイデータが擾乱してビットスリップ等が発生したり、8 M クロック信号で動作する後段の内部装置に誤動作が生じる等の問題があった。

【0024】図 37 は、網同期装置からの入力の切替え直後に PLL 回路の発振周波数が進む場合の影響を示したものである (図 36 の (1) ～ (3) の中央部分)。図 37 には、網同期装置からの 8 KHz クロック信号 (S 8 K) に対して、PLL 回路からの 16 MHz クロ

ック信号 (P16M) が2クロック又は1クロック進む (増加する) 場合が示されており (図37の(1)~(3))、前者の場合には、1フレーム中の8MHzクロック信号 (8M) が増加する現象が、そして後者の場合には8MHzクロック信号の位相が逆転する現象が発生する (図37の(4)、(5))。従って、この場合にも上述した図36と同様にハイウェイデータの擾乱等が発生するという問題がある。

【0025】図38は、図37とは反対に網同期装置からの入力切替え直後にPLL回路の発振周波数が遅れる場合の影響を示したものである (図36の(1)~(3)の右側部分)。図38には、網同期装置からの8KHzクロック信号 (S8K) に対して、PLL回路からの16MHzクロック信号 (P16M) が3クロック分遅れる (減少する) 場合が示されており (図38の(1)~(3))、この場合には8MHzクロック信号 (8M) が1個減少してフレーム障害となる (図38の(4)、(5))。よって、この場合にも図36及び図37と同様な問題が生じる。

【0026】図39は、図25で示したクロック分配装置 (CDIS) 18の後段に位置する各装置内のクロック生成部 (PG) 23の一構成例を示している。図39に示すように、その回路構成は先に説明した図27のクロック分配装置 (CDIS) と同様であるが、本回路の入力信号はクロック分配装置18からの8KHz及び2MHzのクロック信号であり、PLL回路49は2MHzクロック信号を入力してそれと同期した32MHz/156MHzクロック信号を出力する。

【0027】分周回路50は、8MHzのクロック信号を作成し、また8KHzのフレームパルス信号の再生もそこで行う。異常検出回路48は、クロック分配装置18の異常検出時に他系の入力クロック信号に切り換える。クロック分配装置18の0系と1系との間の定常位相誤差は100ns以下と考えられるが、図39の回路の場合には入力切替え時の8KHzクロック信号による分周回路50の再同期の間に1フレーム中の32MHz又は156MHzの高速クロック信号が数クロック以上連続して欠落する可能性がある。

【0028】以上述べたように、従来のクロック分配装置 (CDIS) の回路構成によれば、入力クロック信号の切替え時に出力クロックの擾乱が発生し、同様な現象がPLL回路が新しい入力の位相に追従するまでの変化期間においても発生し、それによって数フレーム~数十フレームに跨って出力フレームと出力クロックとの間の関係が乱れて音声やデータのハイウェイ伝送に長時間支障をきたすという問題があった。また、それと同様なことは、クロック分配装置の後段に位置する各装置内のクロック生成部 (PG) の回路構成にも当てはまる。

【0029】そこで本発明の目的は、上記種々の問題点に鑑み、いわゆる入力クロック信号から種々のクロック

信号を発生させるクロック回路において、その入力クロック信号が新しい入力クロック信号へ切替わることによって位相跳躍が発生した場合に、クロック回路からの出力フレーム信号と出力クロック信号との間の相互の関係 (1フレーム中のクロック数、クロックのduty保証等) を維持しつつ、前記切替り後の新しい入力クロック信号の位相に前記出力フレーム信号及び出力クロック信号を順次追従させていくクロック回路を提供することにある。

【0030】

【課題を解決するための手段】本発明によれば、2系統の基準フレーム信号及びその整数倍の周波数からなる基準クロック信号が与えられ、そのうちの1系統の基準フレーム信号及び基準クロック信号を選択して出力する選択回路；前記選択回路で選択された基準クロック信号に同期する所定周波数の自走クロック信号を出力するPLL回路；前記自走クロック信号を分周して前記選択回路で選択された基準フレーム信号と同一周期の自走フレーム信号を作成し、また再同期信号が与えられると前記選択された基準フレーム信号と同一位相で前記自走フレーム信号の動作を開始させるフレーム信号作成回路；そして前記選択回路で選択された基準フレーム信号と前記フレーム信号作成回路で作成された自走フレーム信号との位相比較により所定の位相誤差範囲を超える同期はずれを検出すると前記再同期信号を出力する同期はずれ検出回路；から成る同期クロック回路が提供される。

【0031】前記同期クロック回路は、さらには前記PLL回路からの所定周波数のクロック信号を分周して出力し、そして前記フレーム信号作成回路からの自走フレーム信号を前記出力されるクロック信号に同期した所定波形のフレーム信号として出力するための分周回路を有する。また、前記PLL回路は、同期クロック回路から出力される所定の周波数のクロック信号とは別の前記基準クロック信号に同期した所定周波数の位相比較クロック信号を出力し、そして前記フレーム信号作成回路及び前記同期はずれ検出回路は、前記PLL回路からの信号として前記位相比較クロック信号を用いる。前記位相比較クロック信号は、PLL回路から出力されるクロック信号を分周したものである。

【0032】また、前記選択回路は前記2系統の基準フレーム信号及び基準クロック信号のうち、異常が発生した以外の系統の基準フレーム信号及び基準クロック信号を選択し、前記基準フレーム信号及び前記自走フレーム信号はともに8KHzフレーム信号である。そして具体的には、前記フレーム信号作成回路は、前記選択された基準フレーム信号の前縁変化点を前記選択された基準クロック信号を用いて微分検出する微分回路、前記微分回路からの微分出力の通過を前記再同期信号によって制御するゲート回路、前記基準クロック信号をカウントし初期値からのカウントにより前記基準フレーム信号周期で

前記自走フレーム信号を出力するカウンタ回路、そして前記ゲート回路を通過した微分出力と前記カウンタ回路からの自走フレーム信号との論理和信号を前記カウンタ回路の初期値を再設定するロード信号として前記カウンタ回路に与える論理ゲート回路から成る。

【0033】さらに、前記同期はずれ検出回路は、前記選択された基準フレーム信号の前縁変化点を前記選択された基準クロック信号を用いて微分検出する微分回路、前記微分回路からの微分出力と前記フレーム作成回路からの自走フレーム信号との一致を検出する一致検出回路、前記一致検出回路によって一致が検出された場合には、前記基準クロック信号のカウントをクリアし、不一致の場合にはカウントを開始して所定数カウントした時に前記再同期信号を出力するカウンタ回路から成る。なお、前記基準クロック信号の周期は、前記2系統の信号対の間の定常位相誤差以内とする。

【0034】

【作用】本発明は以下のような3つの作用によって成立する。すなわち、第1に、PLL回路から入力クロック信号（基準クロック信号）に同期した位相比較クロック信号が出力される。前記位相比較クロック信号は、PLL回路内部の分周回路によって作成される。そして、前記位相比較クロック信号は、定常時は基準クロック信号と同期しており、基準クロック信号の切り替わり用いることにより位相跳躍が発生時には、それに対するPLL回路の追従によって新たな基準クロック信号に徐々に同期していく。

【0035】第2に、出力用の8KHzフレームパルス信号をPLL回路の前記位相比較クロック信号から作成する。基本的に基準クロック信号と入力8KHz基準クロック信号は同期しており、前記位相比較クロック信号を用いて基準クロック信号に追従することで、結果的には8KHz基準クロック信号に追従することになる。そして、第3に、8KFP作成回路の8KHzフレームパルス信号と、基準の8KHz入力クロック信号を位相比較して同期外れを検出する同期外れ回路を設置し、同期外れ検出時には前記8KFP作成回路において8KHzフレームパルス信号を入力8KHz基準クロック信号に再同期させる。

【0036】

【実施例】図1～図12は、本発明による同期クロック回路の一実施例を示したものであり、従来技術で説明したクロック分配装置(CDIS)18に相当するものである。図1は、本発明による同期クロック回路の基本構成を示した回路ブロック図である。図1において、上記本発明の作用で述べたように、PLL回路103は所定のクロック周波数信号(P16M)以外に、選択回路(SEL64)101から与えられる0系又は1系の基準64KHzクロック信号(S64K)に同期した位相比較クロック信号(P64K)を出力する。8KFP作成回

路105は、前記位相比較クロック信号(P64K)を分周して8KHzフレームパルス信号(8KFP)を作成する。

【0037】同期外れ検出回路104は、前記8KHzフレームパルス信号と選択回路(SEL8)102から与えられる0系又は1系の基準8KHzクロック信号(S8K)とをPLL回路103から与えられる前記位相比較クロック信号(P64K)を用いて位相比較を行うことによって同期外れを検出する。そして、分周回路106は、PLL回路30から与えられる16MHzのクロック信号(P16M)を分周して2MHzクロック信号(2M)を作成する。

【0038】図2は、図1のPLL回路103の出力クロックのタイミングの一例を示している。図2に示すように、PLL回路の安定した同期状態においては入力クロック信号(S64K)と位相比較クロック信号(P64K)の位相は互いにほぼ一致している(図2の(1)と(3))。従って、前記位相比較クロック信号は入力クロック信号と一定の位相関係を有する8KHzクロック信号(S8K)とも同期状態を維持している(図2の(2)と(3))。

【0039】図3は、図1のPLL回路の内部構成の一実施例を示した回路図である。位相比較クロック信号(P64K)は、PLL回路内部の分周器112からの出力信号であり、外部から与えられる基準クロック信号(S64K)と位相比較される信号である。従って、前記位相比較クロック信号はPLL回路の16MHzクロック信号(P16M)の単純な分周関係にあり、その間の位相は常に一定である。その他の回路部分については、従来例の図34と同様でありここではそれらについて更めて説明しない。

【0040】図4は、PLL入力クロック信号の切替え等により位相跳躍が生じた場合のPLL出力クロック信号の動作タイミングを示したものである。PLL回路103の位相比較クロック信号(P64K)は、入力切替前は図4の(1)と(5)に示すように0系の基準入力クロック信号(D64K#0)と図2に示す位相関係を保っている。そして入力切替後は位相比較回路109で1系の基準入力クロック信号(D64K#1)と比較されながら、図4の(3)と(5)に示すように徐々に1系の基準入力クロック信号に同期していく。

【0041】図5は、図1の8KFP作成回路105の一実施例を示した回路図であり、そして図6は、そのタイミングチャートである。図5において、PLL回路103からの位相比較クロック信号(P64K)は、4ビットのカウント回路(CNT)120で8分の1に分周され、8KHzフレームパルス信号(8KFP)として出力される(図6の(1)、(4)及び(9))。前記カウンタ回路120は、カウント値'15'のオーバフロー信号(OVF)をDタイプフリップフロップ回路

(FF-a) 122及びORゲート回路119を介してロード端子に帰還し、カウントを初期値 $8'$ から再スタートさせることによって、通常は電源の入った状態で自律して前記8KHzフレームパルス信号(8KFP)を生成している(図6の(4)、(5))。

【0042】図5の4入力ANDゲート回路(Gb)はカウンタ出力 $14'$ をデコードし、次段の2個のDタイプフリップフロップ回路(FF-b、FF-c)123、124は、そのデコード出力を位相比較クロック信号(P64K)の同期波形に成形し、その時間位置をカウンタ出力 $15'$ の出力位置に調整する(図6の(6)~(8))。また、図5の前段に示す2個のDタイプフリップフロップ回路115、116及びANDゲート回路(Ga)117は、微分回路を構成し、図1に示す選択回路(SEL8)102からの基準8KHzクロック信号(S8K)を位相比較クロック信号(P64K)によって微分して、その変化点を検出する(図6の(2)、(3))。次段のANDゲート回路118は、前記微分信号の通過を再同期信号(RESYN)によって制御する。

【0043】前記再同期信号は、以降で説明する同期外れ検出回路から異常検出時に与えられ、ANDゲート回路118を開くことによって前記微分信号を通過させる。ANDゲート回路118を通過した微分信号は、前述したカウンタ回路のオーバーフロー信号が与えられるORゲート回路119のもう一方の入力端子へ与えられ、同期がはずれた時のカウンタ回路120の再同期や初期設定等のために使われる。これにより基準8KHzクロック信号(S8K)に同期した8KHzフレームパルス信号が再作成可能となる。この同期状態においては、図6の(3)と(5)に示すようにカウンタ回路120のロード端子における前記微分信号とカウンタ回路からのオーバーフロー信号は共に一致している。

【0044】図7は、図1に示す同期外れ検出回路104の一実施例を示した回路図であり、図8はそのタイムチャートである。図7において、本回路における同期外れの検出は、PLL回路103からの位相比較クロック信号(P64K)を基準にして、図5で説明したのと同様に2個のDタイプフリップフロップ回路126、128及びANDゲート回路(Ga)129から成る微分回路で作成された基準入力8KHzクロック信号(S8K)の微分信号と本発明による8KFP回路105からの8KHzフレームパルス信号(8KFP)とをANDゲート回路130で比較一致検出することによって行われる。なお、Dタイプフリップフロップ回路127は、同期状態において前記8KHzフレームパルス信号(8KFP)のパルス位置を前記基準入力8KHzクロック信号(S8K)の微分信号のパルス位置に合わせるための遅延用として使われている(図8の(2)~(5))。

【0045】前記基準入力8KHzクロック信号と8KHzフレームパルス信号の位相が一致する同期状態の場合(図8の左右両側の部分)には、前記ANDゲート回路130から次段のカウンタ回路132に対してロード信号が出力され続け、初期値 $0'$ がロードされたカウンタ回路(CNT)132は、その間事実上カウント停止状態となる。前記ANDゲート回路130において不一致が生じると(図8の中央部分)、ロード信号が解除されたカウンタ回路132はカウントを開始し、位相比較クロック信号(P64K)によって順次+1インクリメントされる。本回路例では、カウンタの値が2(Q1)になると同期がはずれによる異常が検出され、先に説明した図5の8KFP作成回路に再同期信号(RESYN)を送出する(図8の(7)、(8))。

【0046】ANDゲート回路(Gc)131の出力は、カウンタ回路132のクロックイネーブル端子(E)に与えられる。同期状態において、前記ANDゲート回路131の一方の入力である出力段のDタイプフリップフロップ回路133の負出力は高レベルであり、そのためもう一方の入力であるDタイプフリップフロップ回路127からの8KHzフレームパルス信号(8KFP)が高レベルの時だけ、すなわちその間のP64KHzクロック信号1クロック分だけがカウンタ回路132に入力される。従って、前記カウンタ回路132は各フレーム毎に1カウント可能となる(図8の(6))。もし、再同期信号(RESYN)が送出された場合には前記Dタイプフリップフロップ回路133の負出力は低レベルとなりカウント不可の状態となる。カウントの再開は、再同期が達成されてカウンタ回路132に対して初期値 $0'$ がロードされ、それによってQ1出力がゼロとなって再同期信号が解除された次のフレームからである。

【0047】なお、本発明においては、電源投入時の強制的な初期設定信号が特に必要とされない。なぜなら、電源投入によって図5の8KFP回路105からとりあえず自走フレームパルス信号(8KFP)が出力され、その信号が基準入力8KHzクロック信号(S8K)と非同期的場合には、同期はずれ検出回路104から前記再同期信号(RESYN)が出力され、それによって前記8KFP回路105からの出力フレームパルス信号(8KFP)の位相は前記基準入力クロック信号(S8K)の位相と一致するよう制御されるからである。

【0048】図9は、本発明の実施例における同期外れ検出条件と、入力切替え時の位相変動追従の範囲を示したものである。図9において8KHzフレームパルス信号(8KFP)を固定して考えると、基準8KHzクロック信号(S8K)入力は、位相進みについては位相比較クロック信号(P64K)の $1/2$ クロック分(図9の(3))まで、そして位相遅れについても位相比較ク

ロック信号 (P 6 4 K) の $1/2$ クロック分 (図 9 の (4)) までの跳躍について、両者ともに同期引き込み可能範囲として同期外れとは判断されない。

【0049】図 10 は、入力として網同期装置 (DCS) を切替えた時の位相跳躍吸収の一例を示したものである。図 10 において、切替前は、図 1 に示す選択回路 101、102 によって網同期装置の DCS-N 系から与えられる基準クロック信号 (D 6 4 K # 0, D 8 K # 0) と、それに追従する PLL 回路 103 からの位相比較信号 (P 6 4 K) 及びそれを基準とした 8 K F P 作成回路 105 からの 8 K H z フレームパルス信号 (8 K F P) 信号は相互に位相同期が取られている (図 10 の (1) ~ (4))。

【0050】次に、選択回路 101、102 が網同期装置からの入力を DCS-N 系から DCS-E 系に切替えると、基準クロック信号は D 6 4 K # 1, D 8 K # 1 となって切替以前に対して定常位相誤差が発生する。本発明による同期クロック回路においては、先の図 9 でも説明したように上記定常位相誤差が 6 4 K H z クロックの半クロック以内の場合には同期はずれ検出回路 104 において同期はずれとはみなさず、従って、その間においては PLL 回路 103 が位相跳躍を吸収するために通常の追従動作を行うだけである。

【0051】この場合には、図 10 の (5) 及び (6) に示すように、本発明による同期クロック回路内で作成された位相比較信号 (P 6 4 K) が上記基準クロック信号の D 6 4 K # 1 に対する追従するが、前記位相比較信号 (P 6 4 K) を基準に作成される 8 K H z フレームパルス信号 (8 K F P) 信号との間の位相関係は固定されたままである。さらに、最終出力信号である 2 M クロック信号等との関係も単なる分周関係であってその間の位相関係は変化しない。

【0052】従って、上述したような本発明の特徴的な同期保持動作をしている限り、従来技術の説明でその問題点とされた入力切替え時における出力クロックの擾乱やフレーム中のクロック数の増加や欠落等の問題は全く生じないことになる。さらに、従来の回路構成においては 2 M H z クロック出力信号等の高速信号が問題の対象となっていたのに対し (今後は、1 5 0 M H z 等の一層の高速化が考えられる。)、本発明では 6 4 K H z という極めて低速な信号が対象となり、従って本発明によれば従来のような問題を発生させない十分に余裕をもった

(1) 基準クロック信号 ; 6 4 K \rightarrow 2 M

(2) PLL 回路出力 ; P 1 6 M, P 6 4 K \rightarrow P 3 2 M, P 2 M

(3) 分周回路出力 ; 2 M \rightarrow 8 M

(単位 H z)

このように本実施例は図 1 と大きく相違するところがなく、従って以下の説明においてはその相違点だけを簡単に説明する。なお、先の実施例の図面 (図 1 ~ 図 1 2) で符号 '1 X X' と付しているものと同様なものについ

同期クロック回路の設計が可能となる。

【0053】図 11 は、図 1 に示す分周回路 106 の一実施例を示した回路図であり、図 12 はそのタイムチャートである。図 11 において、PLL 回路 103 からの 1 6 M H z クロック信号 (P 1 6 M) をカウンタ回路 (CNT) 138 で分周し、所定のクロック信号を作成する。本例では 1 6 M H z クロック信号を $1/8$ 分周して 2 M H z クロック信号 (2 M) を得ている。図 11 の左側の 2 個の D タイプフリップフロップ回路 135、136 及び AND ゲート回路 (G a) 137 は微分回路を構成し、図 12 の (4) に示すように位相比較クロック信号 (P 6 4 K) の変化点で微分パルスを出力し、初期値 4 をカウンタ回路 138 にロードする。これによって、ロード時点からの 2 M H z クロック信号は高レベルからはじまることになる (図 12 の (4))。

【0054】図 11 の下段の 2 個の D タイプフリップフロップ回路 139、140 及び AND ゲート回路 141 からなる微分回路は、図 12 の (7) に示すように 8 K P F 作成回路 105 からの 6 4 K H z 1 周期幅の 8 K H z フレームパルス信号 (8 K F P) を 2 M H z 1 周期幅の 8 K H z フレームパルス信号 (8 K) に変換する。上述のように、本分周回路 106 は単純な分周と波形成形を行っているだけであり、図 10 で説明した本発明の特徴的な同期動作は保存される。すなわち、入力基準信号の切替え前後で発生する位相跳躍が所定の範囲内である限り、前記 2 M H z クロック信号 (2 M) 及び 8 K H z フレームパルス信号 (8 K) は、その間の関係を常に一定の状態に保存したまま、徐々に切替後の基準クロック信号に同期していく。

【0055】次に、図 13 ~ 図 19 は、クロック分配装置 (C D I S) の後段に位置し、図 25 で示した各装置内のクロック生成部 (P G) 23 に相当する実施例を示したものである。図 13 は、本発明によるクロック生成部の基本的な回路構成を示したものである。本実施例の回路動作原理は、先に図 1 ~ 図 12 を使って説明した本発明による同期クロック回路とほとんど同様である。本実施例では、基準入力クロック信号がクロック分配装置からの 2 M H z クロック信号等の高い周波数の場合でも適用可能なことを示す。

【0056】図 13 と図 1 との相違点は、次の 3 点である。

ては、以下の本実施例の図面 (図 13 ~ 図 19) で符号 '2 X X' と付している。

【0057】図 13 のクロック生成部と図 1 の同期クロック回路とを対比した場合には、図 13 では切替えの対

象となる基準入力クロック信号に2MHzクロック信号とより高い周波の信号が使われ、同様にその出力クロック信号も32MHz/8MHz等の高周波クロック信号が使われる。なお、図13の入力異常検出回路204は、図1の同期ハズレ検出回路104と名称こそ異なるが機能において同一である。図3の分周回路206の出力クロック信号が高い。

【0058】図14は、図13に示すPLL回路203からの出力クロック信号のタイミング例を示したものであり、先の実施例の図2と対応する。図15は、図13の8KFP作成回路205の一実施例を示した回路図であり、図16はそのタイムチャートである。それらは、先の実施例の図5及び図6とそれぞれ対応する。図5に対する図15の回路構成上の相違点はない。ただ図15ではカウント数が大きい分だけカウンタ回路220及びデコーダ回路221の回路規模が大きくなっている。

【0059】図17は、図13の入力異常検出回路204の一実施例を示した回路図であり、先の実施例の図7と対応する。互いの回路構成は全く同じである。図18は、図13の分周回路206の一実施例を示した回路図であり、図19はそのタイムチャートである。それらは、先の実施例の図11及び図12とそれぞれ対応する。図18と図11とは回路構成上変わるところがない。

【0060】

【発明の効果】以上述べたように、本発明によれば入力クロックの位相跳躍に対して、跳躍量が基準クロック信号の±半周期以内の位相差であれば、本発明の原理により、切替え時の瞬間的な擾乱を防止しつつ、新しい位相に移行可能であることを示した。

【0061】また本発明によれば、網同期装置等の入力クロック切替え時に、システム間、システム内装置間の伝送路、デジタルスイッチ、その他のデジタル信号処理において、1フレームの擾乱を発生することなく、無瞬断にて入力クロック切替えが可能となる。そして本発明によれば、新しい位相へ追従する際、常にフレームとクロックの関係を正常に保つことを可能となり高品質の高速伝送の実現を支えることになる。

【0062】さらに本発明によれば、本発明による同期クロック回路を多段に積み上げていくことにより、周波数の低い基準クロック信号から周波数の高い基準クロック周波数まで最適な構成で上記本発明による効果を有した同期網を構成することができる。

【図面の簡単な説明】

【図1】本発明による同期クロック回路の基本構成を示した回路ブロック図である。

【図2】図1のPLL回路からの出力クロック信号のタイミング図である。

【図3】図1のPLL回路の一実施例を示した回路ブロック図である。

【図4】PLL入力クロック信号の切替え等により位相跳躍が生じた場合のPLL出力クロック信号の動作タイミングを示した図である。

【図5】図1に示す8KFP作成回路の一実施例を示した回路図である。

【図6】図5の8KFP作成回路のタイミングチャートである。

【図7】図1に示す同期外れ検出回路の一実施例を示した回路図である。

【図8】図7の同期外れ検出回路のタイミングチャートである。

【図9】本発明の実施例における同期外れ検出条件及び入力切替え時の位相変動追従の範囲を示した図である。

【図10】入力として網同期装置(DCS)を切替えた時の位相跳躍吸収の一例を示した図である。

【図11】図1に示す分周回路の一実施例を示した回路図である。

【図12】図11の分周回路のタイミングチャートである。

【図13】本発明によるクロック生成部の基本的な回路構成を示した回路ブロック図である。

【図14】図14のPLL回路からの出力クロック信号のタイミング図である。

【図15】図13に示す8KFP作成回路の一実施例を示した回路図である。

【図16】図15の8KFP作成回路のタイミングチャートである。

【図17】図13に示す入力異常検出回路の一実施例を示した回路図である。

【図18】図13に示す分周回路の一実施例を示した回路図である。

【図19】図18の分周回路のタイミングチャートである。

【図20】同期デジタル通信網の基本的な構成を示したブロック図である。

【図21】図20に示すデジタル交換装置のシステム構成例を示したブロック図である。

【図22】図21に示す各装置間を結ぶハイウェイ(HW)の基本的な伝送フォーマットを示した図である。

【図23】図22の受信装置B側におけるハイウェイ情報の受信回路の一構成例を示した図である。

【図24】システム内各装置に対してハイウェイの基準となるフレームパルス信号の位相割り当て状況を示した図である。

【図25】同期網におけるデジタル交換装置のクロック供給系統の一例を示した図である。

【図26】図25で示したクロック供給系統の冗長構成の一例を示した図である。

【図27】従来のクロック分配装置(CDIS)の一構成例を示した回路ブロック図である。

【図28】図27のクロック分配装置の入出力タイミング図である。

【図29】図27のクロック分配装置における分周回路部分のより詳細な回路例を示した回路ブロック図である。

【図30】図29のクロック分配装置における主要な信号のタイミング図である。

【図31】入力8KHzクロック信号及び64KHzクロック信号が一時的に停止した場合のPLL回路及び分周回路の動作説明図である。

【図32】網同期装置のDCS-N系とDCS-E系相互間のクロック位相誤差の一例を示した図である。

【図33】網同期装置からの入力信号をDCS-N系からDCS-E系に切替えた場合の図29に示す選択回路の出力クロックの一例を示した動作タイミング図である。

【図34】図27のPLL回路の基本的な回路構成を示した回路ブロック図である。

【図35】PLL回路の位相跳躍に対する追従動作の説明図である。

【図36】網同期装置からの入力の切替え直後の状況におけるクロック分配装置への影響を示した図である。

【図37】網同期装置からの入力の切替え直後にPLL回路の発振周波数が進む場合の影響を示した図である。

【図38】網同期装置からの入力の切替え直後にPLL回路の発振周波数が遅れる場合の影響を示した図である。

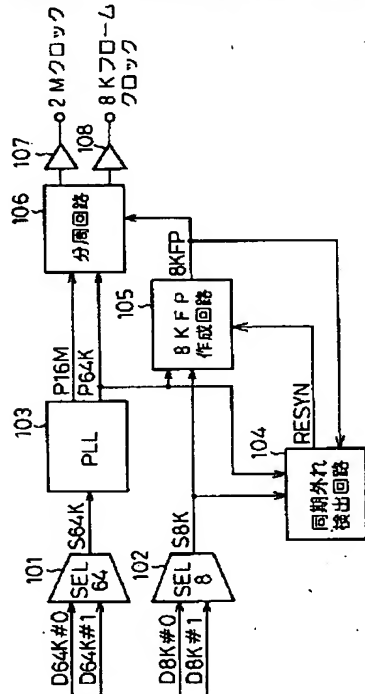
【図39】図25に示すクロック生成部(PG)の一構成例を示した回路ブロック図である。

【符号の説明】

- 4…網同期装置
- 18…クロック分配装置
- 23…クロック生成部
- 26…バイポーラユニポーラ変換回路
- 101…選択回路
- 102…選択回路
- 103…PLL回路
- 104…同期はずれ検出回路
- 105…8KFP作成回路
- 106…分周回路

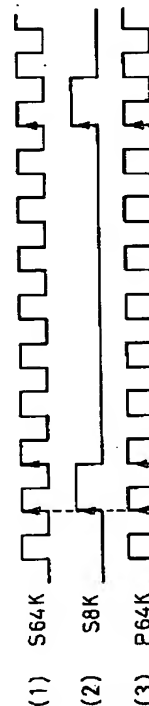
【図1】

本発明による同期クロック回路の基本的な回路構成例



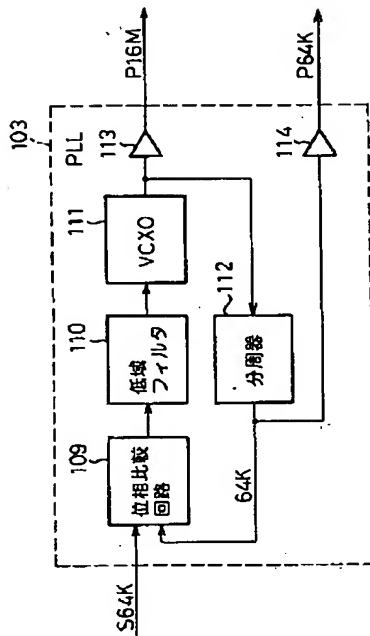
【図2】

図1に示すPLL回路の出力クロック信号のタイミング例



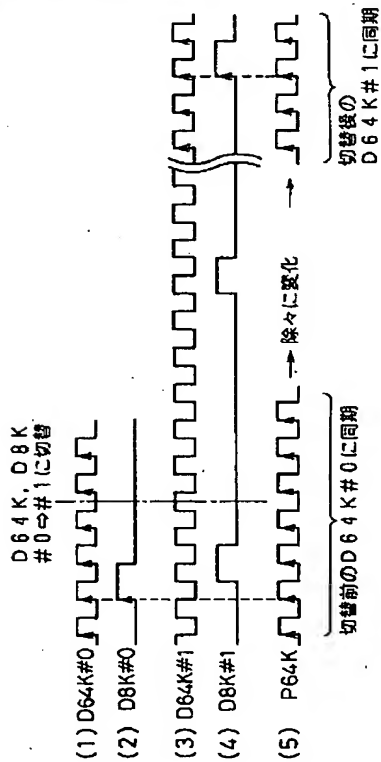
【図3】

図1のPLL回路の一実施例



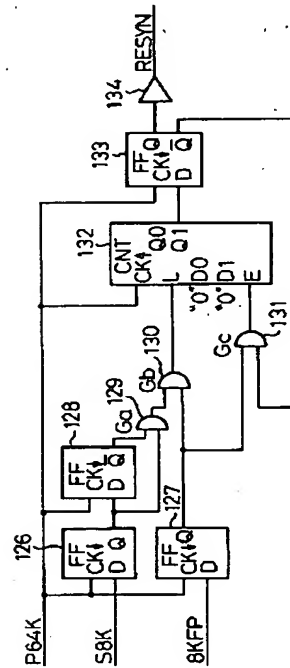
【図4】

入力切替え等により位相跳躍が生じた場合のPLL出力クロック信号の動作タイミングの一例



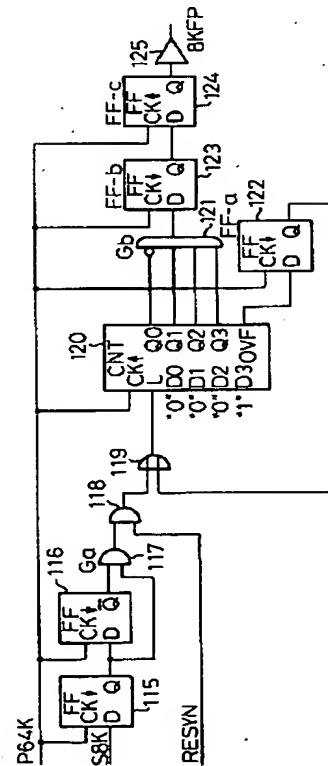
【図7】

図1の同期外れ検出回路の一実施例



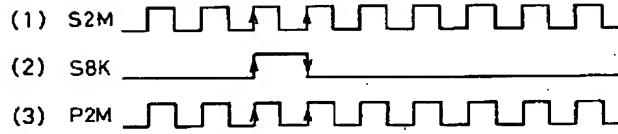
【図5】

図1の8KFP回路の一実施例



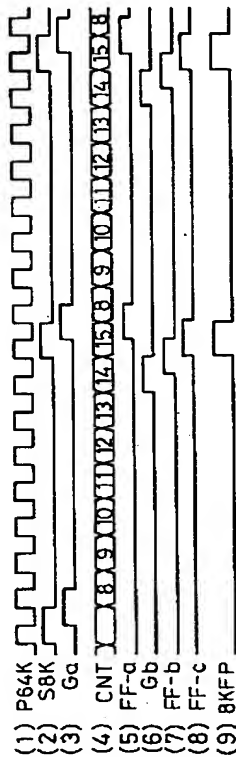
【図14】

図13に示すPLL回路の出カクロック信号のタイミング例



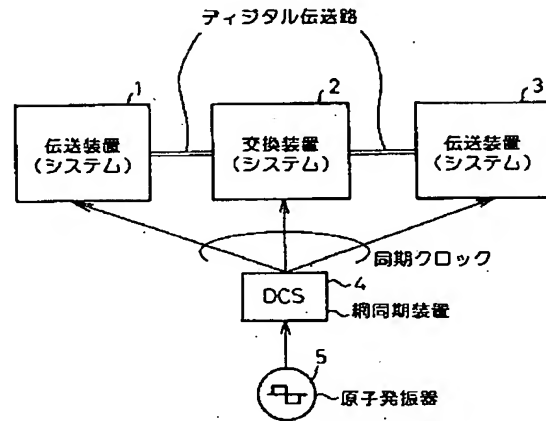
【図6】

図5の8KFP回路のタイムチャート



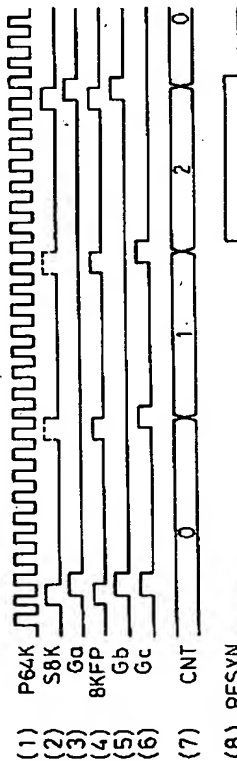
【図20】

同期デジタル通信網の基本的な構成



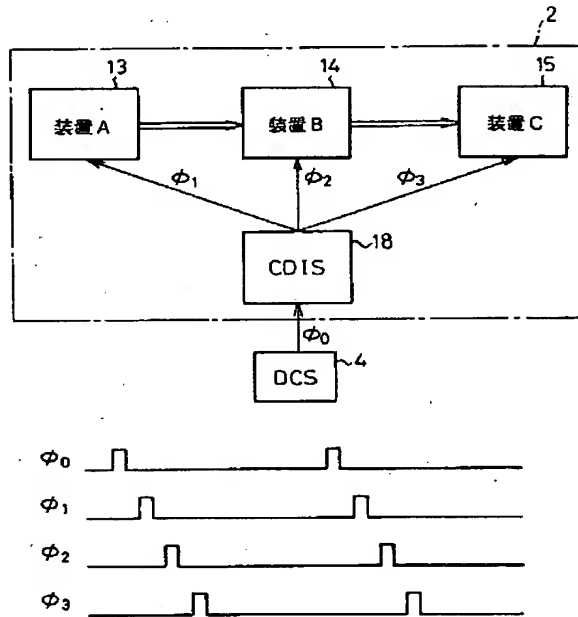
【図8】

図7の同期外れ検出回路のタイミングチャート



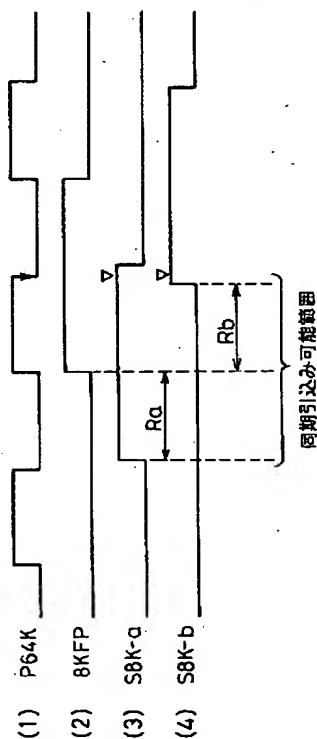
【図24】

システム内装置に対するフレームパルスの位相割り当ての一例



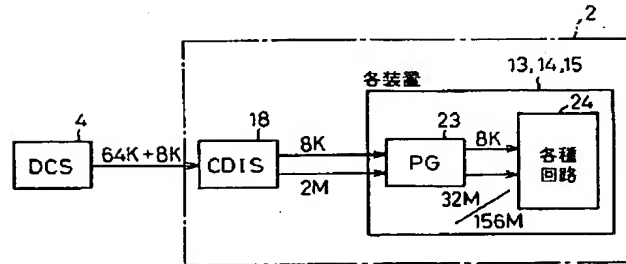
【図9】

同期外れ検出条件及び入力切替え位相変動追従条件の範囲



【図25】

クロック供給系統の一例



【図10】

網同期装置(DCS)を切替えた時の位相跳躍吸収の一例

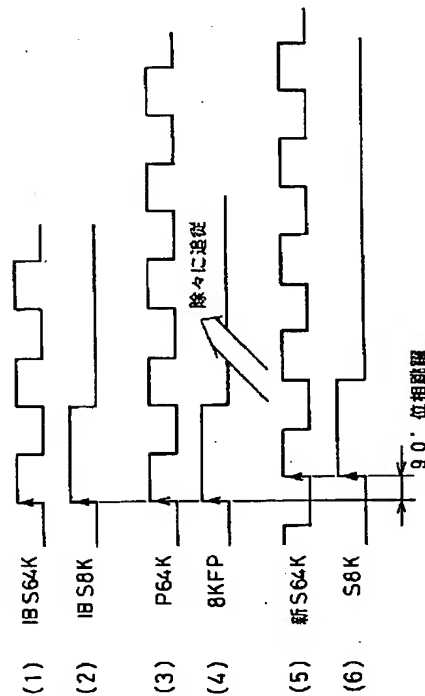


図1の分周回路の一実施例

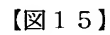


図13の8KFP作成回路の一実施例

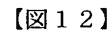
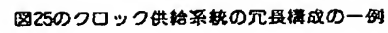
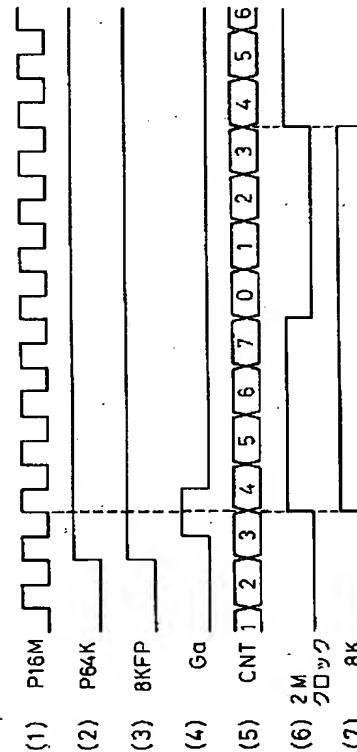
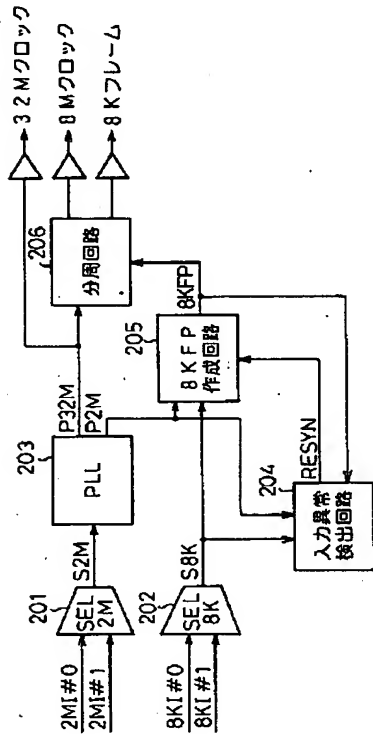


図11の分周回路のタイムチャート



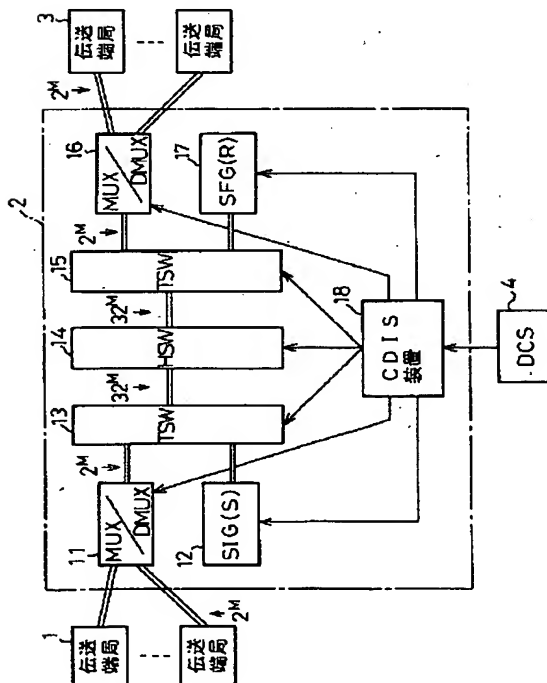
【图 1 3】

本発明によるクロック生成部の基本構成



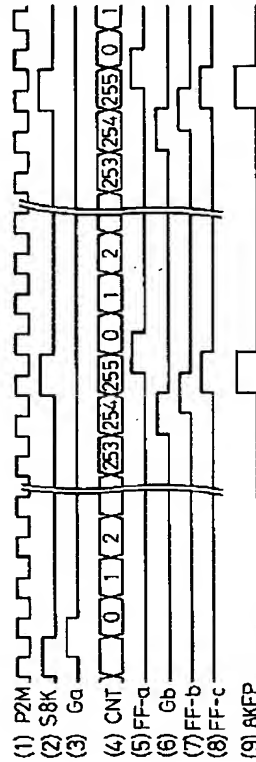
【図 2 1】

図20のディジタル交換装置のシステム構成例



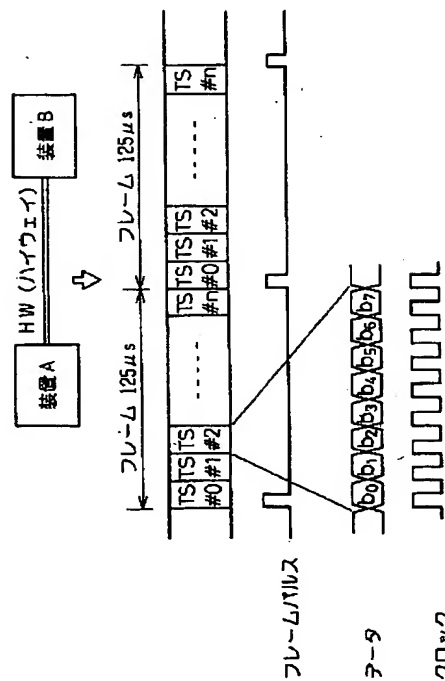
【図 1 6】

図15の8KFP作成回路のタイムチャート



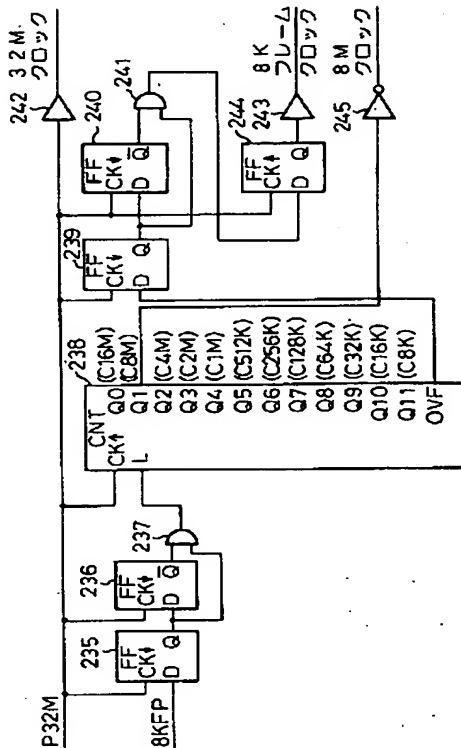
【図 2 2】

図21の各装置間を結ぶハイウェイ（HW）の基本的な伝達フォーマット



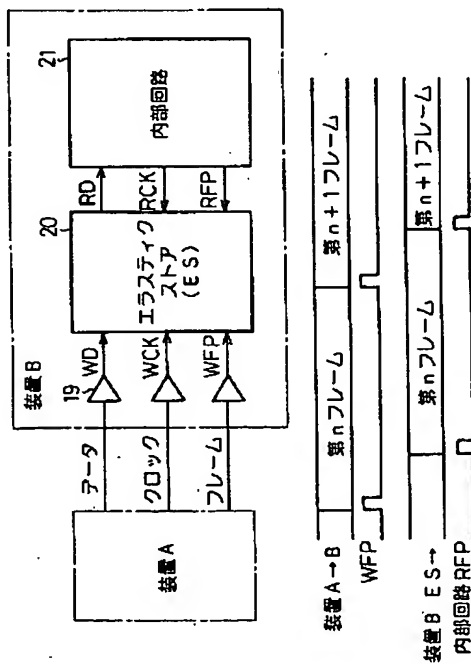
【図18】

図13の分周回路の一実施例



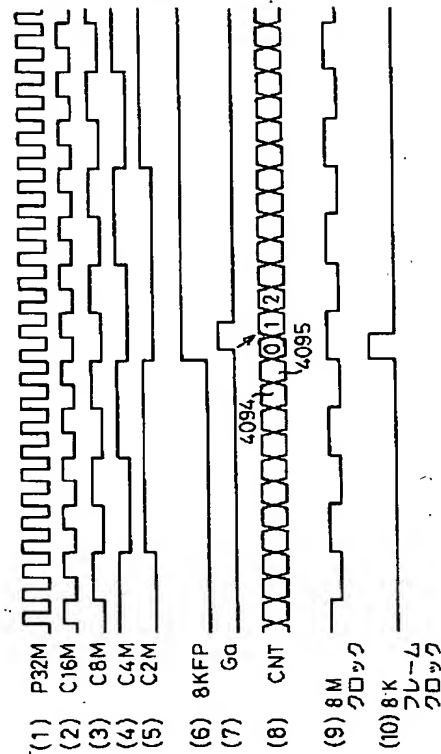
【図23】

図22の受信装置B側におけるハイウェイ情報の受信回路例



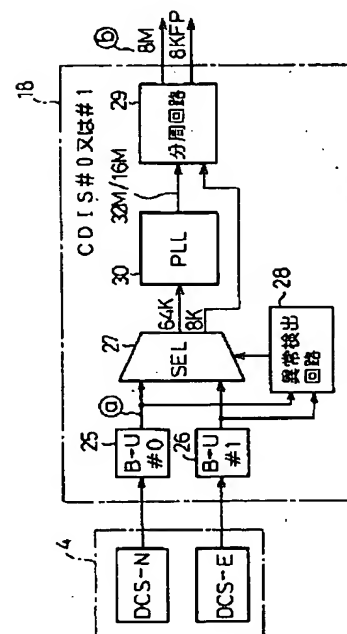
【図19】

図18の分周回路のタイムチャート



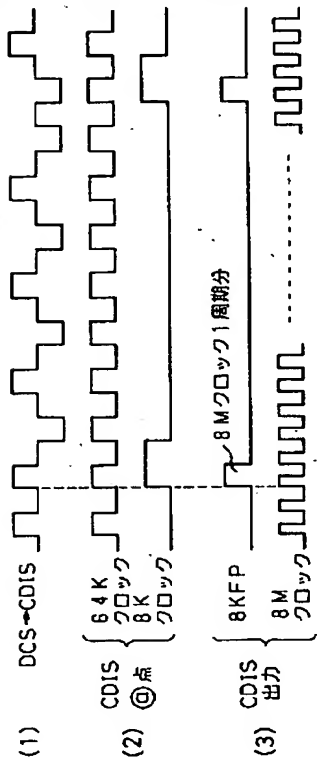
【図27】

従来のクロック分配装置の一例



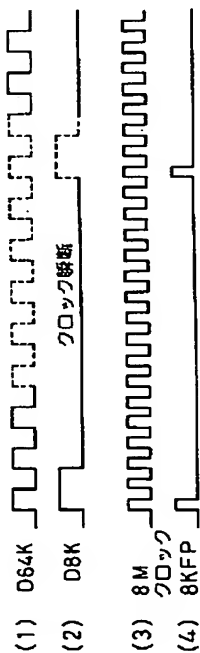
【図28】

図27のクロック分配装置の入出力タイミング図



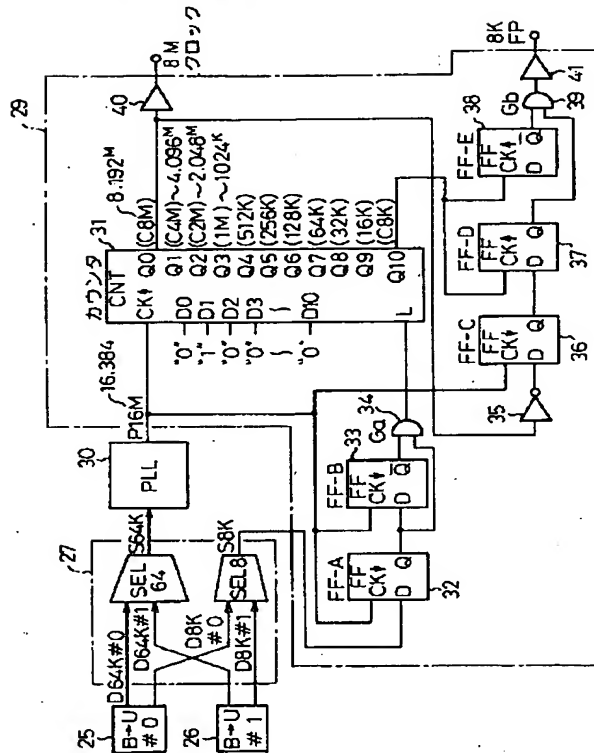
【図31】

入力クロック信号が一時的に停止した場合のPLL回路及び分周回路の動作の一例



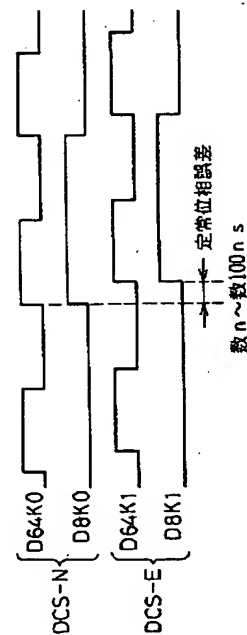
【図29】

図27の分周回路の詳細な回路例



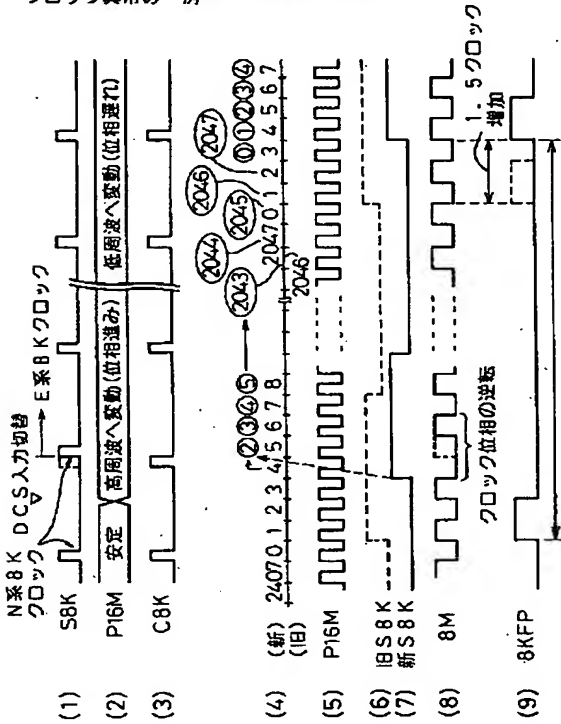
【図32】

DCS-N系入力とDCS-E系入力との間の位相誤差の一例



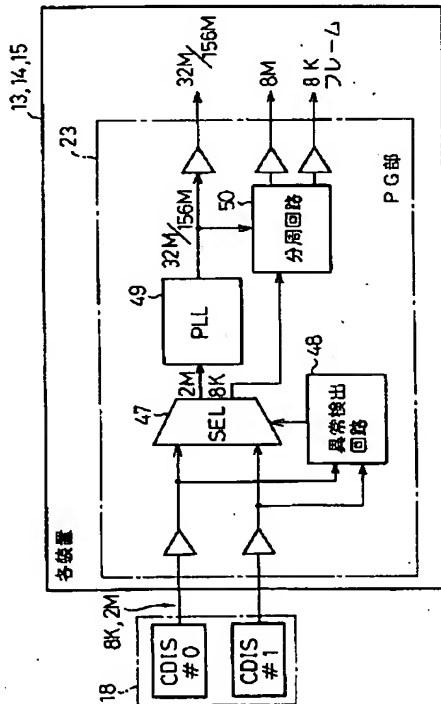
【図36】

網同期装置からの入力切替え直後の状況におけるフレーム、クロック異常の一例



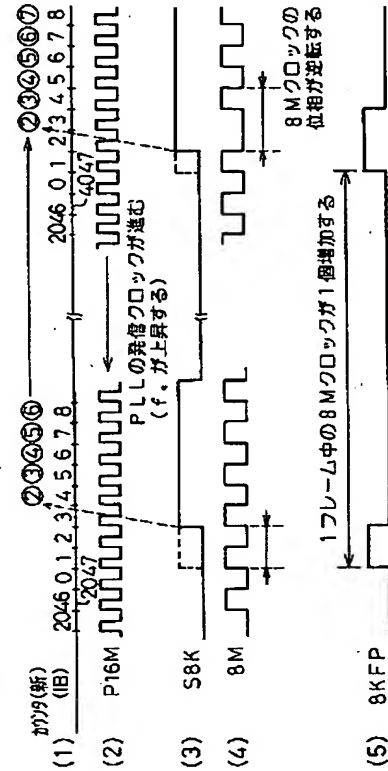
【図39】

図25のクロック生成部(PG)の一回路構成例



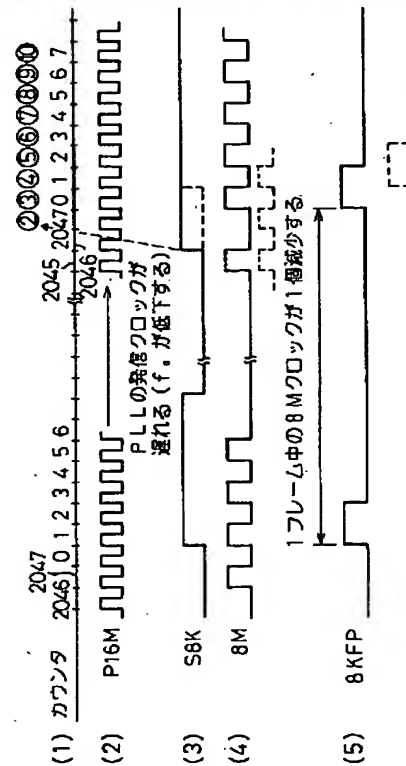
【図37】

網同期装置からの入力切替え直後の位相進み動作の影響



【図38】

網同期装置からの入力切替え直後の位相遅れ動作の影響



フロントページの続き

(72) 発明者 増岡 宏之
 東京都千代田区内幸町一丁目1番6号
 日本電信電話株式会社内

(72) 発明者 赤田 正雄
 東京都港区芝五丁目7番1号 日本電気
 株式会社内

(56) 参考文献 特開 平6-334641 (JP, A)
 特開 平3-98345 (JP, A)

(58) 調査した分野 (Int. Cl. 7, DB名)
 H04L 7/00
 H04L 7/033
 H04Q 11/04 304